

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353415

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H01L 27/105
G11C 11/14
G11C 11/15
H01L 27/10
H01L 43/08

(21)Application number : 2001-154215

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 23.05.2001

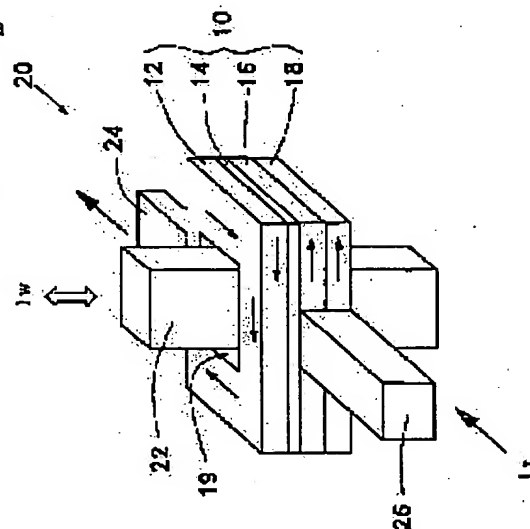
(72)Inventor : UMEZAKI HIROSHI
MIYATAKE HISATADA
NODA HIROYOSHI
ASANO HIDEO
SUNANAGA TOSHIO
KITAMURA TSUNEJI

(54) STORAGE CELL, MEMORY CELL AND STORAGE CIRCUIT BLOCK

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a storage cell having a small current for writing and a small change of a switching magnetic field, and to provide a memory cell and a storage circuit block.

SOLUTION: The storage cell 10 comprises a plurality of superposed layers, a free ferromagnetic layer 12 in which the direction of a magnetization is changed by the direction of a magnetic field in a plurality of the layers, and a hollow part 19 formed, so as to pass the central part of the plurality of the layers through the plurality of the layers. The memory cell 20 comprises a conductor 22, in which a writing current flows to the hollow part 19 of the cell 10.



LEGAL STATUS

[Date of request for examination]

22.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The storage element which contains the centrum formed so that these two or more layers might be penetrated in a part for the core of two or more layers which were put together in the pile, the layer of the ferromagnetic from which it is contained in said two or more layers, and the direction of magnetization changes with the directions of a field, and two or more of said layers.

[Claim 2] The storage element according to claim 1 with which said two or more layers contain the layer of the ferromagnetic with which the direction of magnetization established on the layer of the insulator which passes the tunnel current established on the layer of the ferromagnetic from which the direction of magnetization changes, and the layer of the insulator which passes said tunnel current was fixed by the direction of said field.

[Claim 3] The storage element according to claim 2 with which the layer of the antiferromagnetic substance for fixing the direction of magnetization of the layer of this ferromagnetic was prepared on the layer of the ferromagnetic with which the direction of said magnetization was fixed.

[Claim 4] The memory cell containing the storage element containing the layer of the antiferromagnetic substance for fixing the direction of magnetization of the layer of the ferromagnetic from which the direction of magnetization changes with the directions of a field, the layer of the insulator which passes tunnel current, the layer of the ferromagnetic with which the direction of magnetization was fixed, and the layer of the ferromagnetic with which the direction of said magnetization was fixed, and the centrum formed in a part for the core of two or more layers contained in said storage element.

[Claim 5] The memory cell according to claim 4 which the conductor which passes a write-in current to said centrum has passed.

[Claim 6] The memory cell according to claim 5 whose conductor of said two or more layers which passes said write-in current is non-contact.

[Claim 7] The memory cell according to claim 4 or 6 which connected to the layer of the both ends of two or more of said layers the conductor which passes a read-out current.

[Claim 8] The store circuit block containing the memory cell according to claim 7 by which the conductor which passes a write-in current, the conductor which passes a read-out current, and the conductor which reads with the conductor which passes said write-in current, and passes a current have been arranged in the shape of a matrix, and has been arranged at the intersection.

[Claim 9] Two or more layers which were put together in the pile, and the layer of the ferromagnetic from which it is contained in these two or more layers, and the direction of magnetization changes with the directions of a field, it is ***** -- the ferromagnetic from which it is a storage element and the direction of said magnetization changes with the 1st layer A storage element including the 1st pillar-shaped object which connects one sides which the 2nd parallel layer, and this 1st layer and this 2nd layer counter by this 1st layer and non-contact, and the 2nd pillar-shaped object which connects the other sides which counter with one side of this 1st layer and the 2nd layer.

[Claim 10] The storage element according to claim 9 in which the annular solid is formed with said 1st layer, said 2nd layer, said 1st pillar-shaped object, and said 2nd pillar-shaped object.

[Claim 11] The 1st insulating layer which passes the tunnel current by which said two or more layers were further prepared on the 1st [of the ferromagnetic from which the direction of said magnetization changes] layer, The storage element containing the layer of the 1st antiferromagnetic

substance for fixing the direction of magnetization of the layer of this 1st ferromagnetic established on the layer of the 1st ferromagnetic with which the direction of magnetization established on said 1st insulating layer was fixed, and the layer of said 1st ferromagnetic according to claim 9 or 10.

[Claim 12] The 2nd insulating layer which passes the tunnel current by which said two or more layers were further prepared on the 2nd [of the ferromagnetic from which the direction of said magnetization changes] layer, The storage element containing the layer of the 2nd antiferromagnetic substance for fixing the direction of magnetization of the layer of this 2nd ferromagnetic established on the layer of the 2nd ferromagnetic with which the direction of magnetization established on said 2nd insulating layer was fixed, and the layer of said 2nd ferromagnetic according to claim 9 to 11.

[Claim 13] The storage element according to claim 12 with which the layer of said 2nd ferromagnetic contains the layer which has the direction of magnetization of the layer of the 2nd antiferromagnetic substance by the layer which has the direction of magnetization of the layer of the 2nd antiferromagnetic substance, and the direction of the same magnetization, the layer for reversing the direction of this magnetization, and the layer for reversing the direction of magnetization, and the direction of opposite magnetization.

[Claim 14] The memory cell containing the conductor which passes two write-in currents which pass the centrum of the annular solid formed with said 1st layer which constitutes the layer of a storage element according to claim 12 or 13 and the ferromagnetic from which the direction of said magnetization changes, the 2nd layer, the 1st pillar-shaped object, and the 2nd pillar-shaped object.

[Claim 15] the conductor which passes said two write-in currents -- the memory cell according to claim 14 whose comrades are non-contact.

[Claim 16] The memory cell according to claim 14 or 15 which connected the conductor which reads to the layer of said 1st antiferromagnetic substance, and the layer of said 2nd antiferromagnetic substance, and passes a current.

[Claim 17] Said 1st layer which constitutes the layer of a storage element according to claim 12 or 13 and the ferromagnetic from which the direction of said magnetization changes, The conductor which passes two write-in currents which pass the centrum of the annular solid formed with the 2nd layer, the 1st pillar-shaped object, and the 2nd pillar-shaped object by non-contact, The conductor which was connected to the layer of said 1st antiferromagnetic substance, and the layer of said 2nd antiferromagnetic substance and which reads and passes a current, The store circuit block were the store circuit block which has a ***** memory cell, and whose conductor which passes said two write-in currents has arranged in the shape of a matrix, and has arranged said memory cell to the intersection.

[Claim 18] The store circuit block according to claim 17 which prepared the switching element for writing in the edge of the conductor which passes said two write-in currents, and performing ON and OFF of a current.

[Claim 19] The store circuit block according to claim 18 said whose switching element is MOSFET.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a reliable storage element, a memory cell, and a store circuit block in small power actuation.

[0002]

[Description of the Prior Art] The structure of the memory cell 80 of the 1T(transistor)1MTJ (Magnetic Tunnel Junction) type currently used conventionally is shown in drawing 4 (a). Moreover, the plan of a memory cell 80 is shown in drawing 4 (b). The MTJ component 88 is used as a storage element. The MTJ component 88 contains the free ferromagnetism layer 82 which is a layer of the ferromagnetic from which the direction of magnetization changes with fields at least, the tunnel barrier 84 which passes tunnel current, and the fixed magnetic layer 86 which is a layer of the ferromagnetic with which the direction of magnetization was fixed. The MTJ component 88 is arranged between the metal layer M2 and the metal layer M3.

[0003] The current of the writing for writing data in a memory cell 80 is applied to the vector sum of two fields which a connoisseur flows the metal layer M2 (write-in Ward Rhine 92) and the metal layer M3 (bit line 90), respectively, and are generated according to these write-in currents switching the direction of magnetization of the free ferromagnetism layer 82 of the MTJ component 88.

[0004] Since the write-in current is flowing in parallel [the MTJ component 88] and is separated from the MTJ component 88, a part of generated field is used for the change of the direction of magnetization of the free ferromagnetism layer 82. However, since all fields cannot use it for the change of the direction of magnetization of the free ferromagnetism layer 82, in the conventional memory cell 88, a write-in big current is needed.

[0005] Furthermore, a memory cell 88 has the problem that fluctuation of a SWITCHINGU field is large. A switching field is mainly defined with the configuration of the MTJ component 88 which is a pattern usually near a rectangle or a rectangle. A rectangular magnetic pattern essentially generates the anti-field in a pattern (demagnetizing field), and the reinforcement of a switching field changes according to the form of the corner of a pattern. It is very difficult to draw the pattern of the rectangle which includes the form of a corner in 1 micron or less. Consequently, the switching field of a pattern is changed sharply and failure of the writing of the data of a memory cell 88 occurs.

[0006] Moreover, the problem of dependability arises by fluctuation of a switching field. That is, when the switching field of a certain memory cell 88 is smaller than an external disturbance field (disturbing field), the writing of the data of a memory cell 88 occurs by this external disturbance field. As such an external disturbance field, there is a leakage part of the write-in field to the next memory cell 88. Since it is not the writing of the data of the intentional memory cell 88, the problem of dependability occurs by fluctuation of a switching field.

[0007]

[Problem(s) to be Solved by the Invention] The purpose of this invention has a small current for writing, and fluctuation of the switching field of a memory cell is offering a small storage element, a memory cell, and a store circuit block.

[0008]

[Means for Solving the Problem] Two or more layers pile up and are put together, and the summary of the storage element of this invention contains the centrum formed so that these two or more layers

might be penetrated in a part for the core of the layer of the ferromagnetic from which the direction of magnetization changes with the directions of a field into these two or more layers, and two or more of said layers.

[0009] The summary of other storage elements is a storage element containing the layer of the ferromagnetic from which two or more layers pile up and are put together, and the direction of magnetization changes with the directions of a field into these two or more layers, and the ferromagnetic from which the direction of said magnetization changes The 1st layer, It is including the 1st pillar-shaped object which connects one sides of the 2nd layer, and the this 1st layer and this 2nd layer, and the 2nd pillar-shaped object which connects the other sides of this 1st layer and the 2nd layer.

[0010] The summary of the memory cell of this invention is a memory cell containing the storage element containing the layer of the ferromagnetic from which the direction of magnetization changes with the directions of a field, the layer of the insulator which passes tunnel current, the layer of the ferromagnetic with which the direction of magnetization was fixed, and the layer of the antiferromagnetic substance for fixing the direction of magnetization of the layer of a ferromagnetic, and is that the amount of [of two or more layers contained in said storage element] core is a centrum. Moreover, the conductor which passes one write-in current which passes through the inside of a centrum is included.

[0011] The summary of other memory cells is that the conductor which passes two write-in currents which pass the centrum constituted with the 1st layer which constitutes the layer of the ferromagnetic from which other above-mentioned storage elements and the direction of magnetization change, the 2nd layer, the 1st pillar-shaped object, and the 2nd pillar-shaped object is included. Moreover, this memory cell is having turned to the direction where the direction of the magnetization which touches the ferromagnetic of the antiferromagnetic substance of the 1st layer and the 2nd layer is the same.

[0012] The summary of a store circuit block of this invention is that the conductor which reads with the conductor which passes a write-in current, and passes a current has been arranged in the shape of a matrix, and has arranged the above-mentioned memory cell to the intersection.

[0013] Said 1st layer from which the summary of other store circuit blocks constitutes the layer of the ferromagnetic from which other above-mentioned storage elements and the direction of said magnetization change, The conductor which passes two write-in currents which pass through the inside of the centrum constituted with the 2nd layer, the 1st pillar-shaped object, and the 2nd pillar-shaped object by non-contact, It is the store circuit block which has a memory cell containing the conductor which was connected to the layer of the 1st antiferromagnetic substance, and the layer of the 2nd antiferromagnetic substance, and which reads and passes a current, and is in the conductor which passes said two write-in currents having arranged in the shape of a matrix, and having arranged said memory cell to the intersection.

[0014]

[Embodiment of the Invention] The gestalt of implementation of the storage element of this invention, a memory cell, and a store circuit block is explained using a drawing.

[0015] As shown in drawing 1 and drawing 2 , two or more layers pile up and are put together, two or more of the layers are penetrated to a part for the core, a centrum 19 is formed in it, and the storage element 10 has become frame-like (annular). Two or more layers contain the free ferromagnetism layer 12 which is a layer of the ferromagnetic from which the direction of magnetization changes with the directions of a field, the tunnel barrier 14 which is the layer of the insulator which passes tunnel current, the fixed magnetic layer 16 which is a layer of the ferromagnetic with which the direction of magnetization is being fixed, and the antiferromagnetism layer 18 which is a layer of the antiferromagnetic substance which fixes the direction of magnetization of a fixed magnetic layer. The direction of the arrow head in drawing is the direction of magnetization. The direction of magnetization is annular as a core, and has closed the centrum 19. Therefore, an anti-field does not occur in a storage element 10. In addition, the direction of magnetization of the antiferromagnetism layer 18 expresses the direction of the magnetization in an interface with the layer (fixed magnetic layer 16) of an adjoining ferromagnetic. Moreover, since a storage element 10 is used into a logic chip etc., the matter equivalent to air, for example, an

insulator, may be filled by the inside of a centrum 19.

[0016] The values of the data currently written in by the direction of the magnetization of the free ferromagnetism layer 12 to the direction of magnetization of the fixed magnetic layer 16 differ. For example, if the direction of magnetization is the same, it will be data of "0", and it will be data of "1" if the directions of magnetization differ. Distinction of data is distinguished with the resistance of a storage element 10. When the data of "0" are compared with the data of "1", the direction of the data of "1" is high resistance.

[0017] The conductor 22 which writes in the centrum 19 prepared in a part for the core of a storage element 10, and passes Current I_w passes along the memory cell 20. The conductor 22 and storage element 10 which pass a write-in current are non-contact.

[0018] A field arises by writing in the conductor 22 which passes the write-in current I_w , and passing a current. The direction of a field follows Ampere's law (right-handed screw rule). Therefore, in drawing 1, when it writes in caudad from the upper part of the conductor 22 which passes the write-in current I_w and Current I_w flows, the direction of magnetization of the free ferromagnetism layer 12 serves as sense of the direction of an arrow head of drawing. Moreover, when it writes in the upper part from the lower part of a conductor 22 which passes a write-in current and Current I_w flows, the direction of magnetization of the free ferromagnetism layer 12 turns into the direction of an arrow head of drawing in an opposite direction.

[0019] In drawing 1, when writing the data of "0" in a memory cell 20, it writes in the upper part from the lower part of a conductor 22 which passes a write-in current, and Current I_w is passed. When writing in the data of "1" on the contrary, it writes in caudad from the upper part of the conductor 22 which passes a write-in current, and Current I_w is passed.

[0020] The conductor 24 which reads to the free ferromagnetism layer 12 and passes a current is connected. Moreover, the conductor 26 which reads also to the fixed magnetic layer 16 and the antiferromagnetism layer 18, and passes a current is connected. The data memorized by the storage element 10 can be read by reading to the conductors 24 and 26 which pass this read-out current, and passing Current I_r .

[0021] Distinction of data uses that the electrical potential difference between storage elements 10 changes with resistance of a storage element 10. As mentioned above, in the case of the data of "0", it is low resistance and an electrical potential difference becomes low. Moreover, in the case of the data of "1", it is high resistance and an electrical potential difference becomes high.

[0022] Magnetization of each class of a storage element 10 forms the closed magnetic circuit, i.e., a closed magnetic circuit, when each class has a frame-like form. In this closed magnetic circuit, the anti-field which magnetic field strength can weaken along with a storage element 10 is not generated, but the magnetic potential of a memory cell 20 is stabilized very much by this.

[0023] The current I_w of writing flows through the conductor 22 which passes a main write-in current, and has the direction of magnetization of the free ferromagnetism layer 12 switched with a small current. The switching field of this memory cell 20 is not a deciding [it is decided by the amount of sum total currents which mainly flows inside a closed circuit, and]-by configuration of frame thing. Therefore, the direction change of magnetization of a memory cell 20 is strictly controllable. Often controlling a SWITCHING field and when the magnetic potential of a memory cell 20 is very stable, the dependability of a memory cell 20 improves.

[0024] The store circuit block using the memory cell 20 of drawing 1 is explained. The conductors 24 and 26 with which it reads with the conductor 22 with which a write-in current flows, and a current flows are constituted in the shape of a matrix, and a memory cell 20 is arranged to the intersection. the conductor with which in other words the write-in current of the adjacent memory cell 20 flows -- they are the conductor 24 with which it reads with 22 comrades and a current flows, and the configuration where 26 comrades were connected. This store circuit block is applicable to the chip containing MRAM (Magnetic Random Access Memory) or MRAM. Moreover, it is also possible to arrange two or more memory cells 20 to one dimension, and to use it for the store circuit block of the one-dimensional array of Logic LSI, for example, a 8-bit register etc., without constituting a store circuit block in the shape of a matrix.

[0025] Other storage elements 30 are explained. As shown in drawing 3 (a), the free ferromagnetism layer which is a layer of the ferromagnetic from which the direction of magnetization changes with

the directions of a field the [which connects one side of one side of A1 A2, the other sides B1 that counter, and B-2s with the A1 and 1st pillar-shaped object 36 with which the 1st layer 32, the 1st layer 32 and the 2nd parallel and non-contact layer 34, and the 1st layer 32 and the 2nd layer 34 counter, and which connect A2 comrades] -- it comes out with 2 pillar-shaped objects 38, and is constituted. The 1st layer 32 and 2nd layer 34 have fixed spacing. As mentioned above, with the 1st layer 32, the 2nd layer 34, the 1st pillar-shaped object 36, and the 2nd pillar-shaped object 38, a free ferromagnetism layer forms an annular solid 31, and forms the centrum 39 in a part for the core. Moreover, the magnetic circuit closed by the free ferromagnetism layer, i.e., a closed magnetic circuit, is formed in the surroundings of this centrum 39. In addition, since a storage element 30 is used into a logic chip etc., the matter equivalent to air, for example, an insulator, may be filled by the inside of a centrum 39.

[0026] The 1st antiferromagnetism layer 44 which is the layer of the antiferromagnetic substance which determines the direction of magnetization of the 1st tunnel barrier 40 which is the insulating layer which passes tunnel current, the 1st fixed magnetic layer 42 which is the layer of the ferromagnetic with which the direction of magnetization was fixed, and the 1st fixed magnetic layer 42 on the 1st layer 32 (the 2nd layer 34 on the field of an opposite direction), and is fixed piles up and is put together in this sequence.

[0027] The 2nd antiferromagnetism layer 56 which is the layer of the antiferromagnetic substance which determines the direction of magnetization of the 2nd tunnel barrier 46 which is the insulating layer which passes tunnel current, the 2nd fixed magnetic layer 54 which is the layer of the ferromagnetic with which the direction of magnetization was fixed, and the 2nd fixed magnetic layer 54 on the 2nd layer 34 (the 1st layer 32 on the field of an opposite direction), and is fixed piles up and is put together in this sequence.

[0028] In the 2nd fixed magnetic layer 54, the 2nd antiferromagnetism layer 56 is constituted by the layer 48 in which the direction of magnetization by the 2nd antiferromagnetism layer 56 has the direction of magnetization of an opposite direction by the layer 52 currently determined and fixed, the layer 50 which reverses the direction of magnetization, and the layer which reverses the direction of magnetization. As for the layer 50 which reverses the direction of magnetization, it is desirable to consist of rutheniums.

[0029] The arrow head shown in each class of drawing 3 (a) shows the direction of magnetization. The direction of magnetization of a free ferromagnetism layer is annular, and is closed. The MTJ component is formed in the 1st layer 32, the 1st tunnel barrier 40, the 1st fixed MAG layer 42, and the 1st antiferromagnetism layer 44. Moreover, the MTJ component is formed also in the 2nd layer 34, the 2nd tunnel barrier 46, the 2nd fixed MAG layer 54, and the 2nd antiferromagnetism layer 56. That is, two MTJ components are formed.

[0030] The inside which constitutes the direction of the magnetization of the 1st layer 32 to the direction of magnetization of the 1st fixed MAG layer 42 and the 2nd fixed MAG layer 54 comes out further, and the direction of the magnetization of the 2nd layer 34 to the direction of magnetization of a certain layer 48 determines the data memorized. For example, if the direction of magnetization is an opposite direction as shown in drawing, it is data of "1", and it is data of "0" if the direction of magnetization is the same direction.

[0031] Moreover, the 2nd fixed magnetic layer 54 explains the reason containing the layer 48 which has the direction of magnetization of an opposite direction in the 2nd antiferromagnetism layer 56. The 1st antiferromagnetism layer 44 and the 2nd antiferromagnetism layer 56 need to make the direction of magnetization the same. The direction of magnetization of the antiferromagnetic substance is determined by heat treatment after film formation among a field (heat treatment performed while carrying out the seal of approval of the field), and this is because magnetization of the antiferromagnetic substance of the 1st antiferromagnetism layer 44 and the 2nd antiferromagnetism layer 56 turns to the same direction by heat treatment among a field. The direction of magnetization of the antiferromagnetic substance of the 1st antiferromagnetism layer 44 and the 2nd antiferromagnetism layer 56 is made the same. And the layers 32, 34, 36, and 38 of the ferromagnetic from which the direction of magnetization changes with the directions of a field form a closed magnetic circuit. Furthermore, in order to make the same relation of the magnetization of the layer of a ferromagnetic which faces on both sides of the tunnel barriers 40 and 46 in the 1st

layer 32 and 2nd layer 34, it is necessary to reverse magnetization of the 2nd fixed magnetic layer 54 once.

[0032] The memory cell 58 which used the storage element 30 is explained. Two conductors 62 and 64 have passed to the centrum 39 formed in a part for the core of a free ferromagnetism layer. These two conductors are the conductors 62 and 64 for passing the write-in currents I_{wy} and I_{wx} .

[0033] In drawing 3 (a), when writing the data of "1" in a storage element 30, the conductors 62 and 64 for passing two write-in currents are written in in the direction of the back from this side, and Currents I_{wy} and I_{wx} flow. Moreover, when writing in the data of "0", the conductors 62 and 64 for passing two write-in currents are written in this side from the back, and Currents I_{wy} and I_{wx} flow.

[0034] The conductor 60 with which it reads to the 1st antiferromagnetism layer 44 and the 2nd antiferromagnetism layer 56, and a current flows is connected. The data of a storage element 30 can be read by passing the read-out current I_r . Distinction of data is distinguished with the resistance of a storage element 30. In the case of the data of "0", it is low resistance and an electrical potential difference becomes low. In the case of the data of "1", it is high resistance and an electrical potential difference becomes high.

[0035] Since the write-in currents I_{wy} and I_{wx} flow the interior of a closed magnetic circuit, a current is used effectively to switch magnetization and a current required for a change is very low current as compared with the conventional memory cell 80. Moreover, the circuit closed magnetically is very stable to an external magnetic field, and, for this reason, fixed and stabilized the change of the direction of magnetization of a memory cell 58 and improvement in the dependability of memory operation can be realized.

[0036] The store circuit block 70 using a memory cell 58 is explained. As shown in drawing 3 (b), the conductors 62 and 64 which pass two write-in currents are constituted in the shape of a matrix, and a memory cell 30 is arranged to the intersection. In other words, they are the conductor 62 which passes two write-in currents of the adjacent memory cell 58, and the configuration where 64 comrades were connected. Switching elements 66a and 66b are formed in the edge of two conductors 62 and 64, and ON and OFF of a write-in current are performed. Switching elements 66a and 66b use MOSFET.

[0037] Moreover, the write-in current drive circuits 68a and 68b for writing in switching elements 66a and 66b, and passing a current are formed.

[0038] Store circuit block 70 like drawing 3 (b) is applicable to the chip containing MRAM or MRAM.

[0039] In drawing 3, a lengthwise direction is made into the direction of the column address, and a longitudinal direction is made into the direction of a row address. For example, when writing data in the upper left memory cell 30 in drawing 3 $R > 3$, switching elements 66a and 66b are turned ON, it writes in the left-hand side conductor 62 and the upper conductor 64, and a current is passed.

[0040] Moreover, it is also possible to arrange two or more memory cells 58 to one dimension, and to use it for the store circuit block of the one-dimensional array of Logic LSI, for example, a 8-bit register etc., without constituting the store circuit block 70 in the shape of a matrix.

[0041] As mentioned above, since the conductor with which a write-in current flows passes along a part for the core of a free ferromagnetism layer, all the fields generated around the conductor with which a write-in current flows can use it for changing the direction of magnetization. Therefore, a write-in current can be reduced. Moreover, since the direction of magnetization became annular in the free ferromagnetism layer and the field has closed, it is possible to weaken magnetic field strength generated around the conductor with which an anti-field does not occur and a write-in current flows. It can write in also by this and a current can be reduced.

[0042] As mentioned above, although the storage element of this invention, the memory cell, and the store circuit block were explained, this invention is not limited to these. This invention can be carried out in the mode which added the amelioration which becomes various based on this contractor's knowledge in the range which does not deviate from the meaning, correction, and deformation.

[0043]

[Effect of the Invention] By this invention, the writing of data was attained by low current as compared with the conventional memory cell. Moreover, since it passes along the inside of the magnetic circuit which the write-in current closed, localization is carried out to the memory cell in

which the field by the write-in current is written, and other memory cells are not affected.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the configuration of the memory cell of this invention.

[Drawing 2] It is the sectional view of the memory cell of drawing 1.

[Drawing 3] It is drawing showing the memory cell of this invention, and a store circuit block, and (a) is the block diagram of a memory cell and (b) is the block diagram of a store circuit block.

[Drawing 4] It is drawing showing the memory cell of the conventional technique, and (a) is the sectional view of a memory cell and (b) is the plan of a memory cell.

[Description of Notations]

10, 30, 88: Storage element

12 82: Free ferromagnetism layer (Free FM layer)

14, 40, 46, 84: Tunnel barrier (Tunnel barrier)

16, 42, 54, 86: Fixed magnetic layer (Pinned FM layer)

18, 44, 56: Antiferromagnetism layer (Pinning AFM layer)

19 39: Centrum

20, 58, 80: Memory cell

22, 62, 64: The conductor which passes a write-in current

24, 26, 60: The conductor which passes a read-out current

31: Annular solid

32: The 1st layer (Free FM layer)

34: The 2nd layer (Free FM layer)

36: The 1st pillar-shaped object (Free FM stud)

38: The 2nd pillar-shaped object (Free FM stud)

48: The layer reversed by the direction of magnetization

50: The layer for reversing the direction of magnetization

52: The layer to which the direction of magnetization was fixed

66a, 66b: Switching element (MOSFET)

68a, 68b: Write-in current drive circuit

70: Store circuit block

88: MTJ (Magnetic Tunnel Junction) component

90: Bit line

92: Write-in Ward Rhine

94: The 1st internal wiring structure

96: Switching element (MOSFET)

98: Read-out Ward Rhine (gate)

100: The 2nd internal wiring structure

102: Ground

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-353415

(P2002-353415A)

(43)公開日 平成14年12月6日(2002.12.6)

(51)Int.Cl.	識別記号	F I	テマコード(参考)
H 0 1 L 27/105		G 1 1 C 11/14	A 5 F 0 8 3
G 1 1 C 11/14		11/15	
11/15		H 0 1 L 27/10	4 6 1
H 0 1 L 27/10	4 6 1	43/08	Z
43/08		27/10	4 4 7
審査請求 有 請求項の数19 OL (全 7 頁)			

(21)出願番号 特願2001-154215(P2001-154215)

(22)出願日 平成13年5月23日(2001.5.23)

(71)出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーションINTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州

アーモンク ニュー オーチャード ロー
ド

(74)代理人 100086243

弁理士 坂口 博 (外2名)

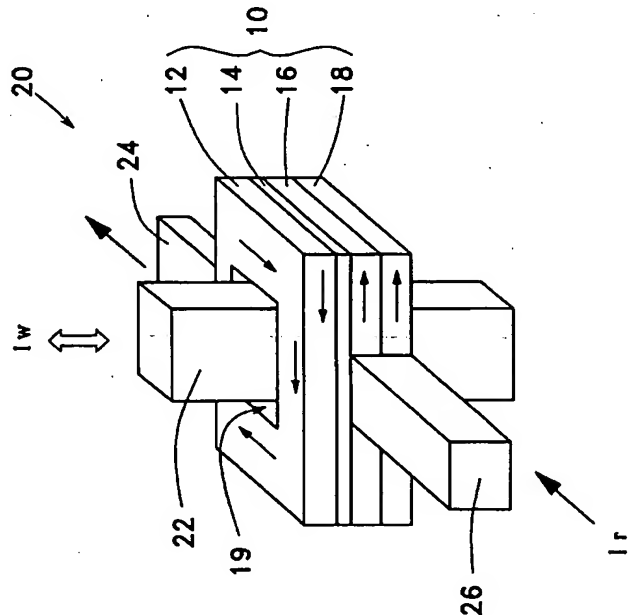
最終頁に続く

(54)【発明の名称】 記憶素子、メモリセル及び記憶回路ブロック

(57)【要約】

【課題】 本発明の目的は、書き込み用の電流が小さく、メモリセルのスイッチング磁界の変動が小さい記憶素子、メモリセル及び記憶回路ブロックを提供することである。

【解決手段】 本発明の記憶素子10は、重ね合わさった複数の層と、複数の層の中に磁界の方向によって磁化の方向が変化する自由強磁性層12と、複数の層の中心部分に複数の層を貫通するように形成された中空部19と、を含むように構成した。また、メモリセル20は、記憶素子10の中空部19に書き込み電流を流す導体22が通過している。



【特許請求の範囲】

【請求項1】 重ね合わさった複数の層と、前記複数の層に含まれ、磁界の方向によって磁化の方向が変化する強磁性体の層と、前記複数の層の中心部分に、該複数の層を貫通するように形成された中空部と、を含む記憶素子。

【請求項2】 前記複数の層が、前記磁界の方向によって磁化の方向が変化する強磁性体の層上に設けられたトンネル電流を流す絶縁体の層と、前記トンネル電流を流す絶縁体の層上に設けられた磁化の方向が固定された強磁性体の層と、を含む請求項1に記載の記憶素子。

【請求項3】 前記磁化の方向が固定された強磁性体の層上に、該強磁性体の層の磁化の方向を固定するための反強磁性体の層が設けられた請求項2に記載の記憶素子。

【請求項4】 磁界の方向によって磁化の方向が変化する強磁性体の層、トンネル電流を流す絶縁体の層、磁化の方向が固定された強磁性体の層、前記磁化の方向が固定された強磁性体の層の磁化の方向を固定するための反強磁性体の層、を含む記憶素子と、前記記憶素子に含まれる複数の層の中心部分に形成された中空部と、を含むメモリセル。

【請求項5】 前記中空部に、書き込み電流を流す導体が通過している請求項4に記載のメモリセル。

【請求項6】 前記書き込み電流を流す導体が、前記複数の層とは非接触である請求項5に記載のメモリセル。

【請求項7】 前記複数の層の両端の層に、読み出し電流を流す導体を接続した請求項4または6に記載のメモリセル。

【請求項8】 書き込み電流を流す導体と、読み出し電流を流す導体と、前記書き込み電流を流す導体と読み出し電流を流す導体とがマトリクス状に配置され、その交差部に配置された請求項7に記載のメモリセルと、を含む記憶回路ブロック。

【請求項9】 重ね合わさった複数の層と、該複数の層に含まれ、磁界の方向によって磁化の方向が変化する強磁性体の層と、を含んだ記憶素子であって、前記磁化の方向が変化する強磁性体が、第1の層と、該第1の層と非接触で且つ平行である第2の層と、該第1の層と該第2の層の対向する一辺同士を接続する第1の柱状体と、該第1の層と第2の層の一辺と対向する他辺同士を接続する第2の柱状体と、を含む記憶素子。

【請求項10】 前記第1の層、前記第2の層、前記第1の柱状体及び前記第2の柱状体によって、環状体が形成されている請求項9に記載の記憶素子。

【請求項11】 前記複数の層が更に、前記磁化の方向が変えられる強磁性体の第1の層上に設けられたトンネル電流を流す第1の絶縁層と、前記第1の絶縁層上に設けられた磁化の方向が固定された第1の強磁性体の層と、前記第1の強磁性体の層上に設けられた該第1の強

磁性体の層の磁化の方向を固定するための第1の反強磁性体の層と、を含む請求項9または10に記載の記憶素子。

【請求項12】 前記複数の層が更に、前記磁化の方向が変えられる強磁性体の第2の層上に設けられたトンネル電流を流す第2の絶縁層と、前記第2の絶縁層上に設けられた磁化の方向が固定された第2の強磁性体の層と、前記第2の強磁性体の層上に設けられた該第2の強磁性体の層の磁化の方向を固定するための第2の反強磁性体の層と、を含む請求項9乃至11に記載の記憶素子。

【請求項13】 前記第2の強磁性体の層が、第2の反強磁性体の層の磁化の方向と同じ磁化の方向を有する層と、該磁化の方向を反転させるための層と、磁化の方向を反転させるための層によって第2の反強磁性体の層の磁化の方向と反対の磁化の方向を有する層と、を含む請求項12に記載の記憶素子。

【請求項14】 請求項12または13に記載の記憶素子と、前記磁化の方向が変化する強磁性体の層を構成する前記第1の層、第2の層、第1の柱状体、及び第2の柱状体によって形成された環状体の中空部を通過する2本の書き込み電流を流す導体と、を含むメモリセル。

【請求項15】 前記2本の書き込み電流を流す導体同士が、非接触である請求項14に記載のメモリセル。

【請求項16】 前記第1の反強磁性体の層と前記第2の反強磁性体の層とに読み出し電流を流す導体を接続した請求項14または15に記載のメモリセル。

【請求項17】 請求項12または13に記載の記憶素子と、前記磁化の方向が変化する強磁性体の層を構成する前記第1の層、第2の層、第1の柱状体、及び第2の柱状体によって形成される環状体の中空部を非接触で通過する2本の書き込み電流を流す導体と、前記第1の反強磁性体の層と前記第2の反強磁性体の層とに接続された読み出し電流を流す導体と、を含むメモリセルを有する記憶回路ブロックであって、前記2本の書き込み電流を流す導体がマトリクス状に配置し、その交差部に前記メモリセルを配置した記憶回路ブロック。

【請求項18】 前記2本の書き込み電流を流す導体の端部に書き込み電流のオン及びオフを行うためのスイッチング素子を設けた請求項17に記載の記憶回路ブロック。

【請求項19】 前記スイッチング素子がMOSFETである請求項18に記載の記憶回路ブロック。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、小電力動作で信頼性の高い記憶素子、メモリセル及び記憶回路ブロックに関する。

【0002】

【従来の技術】 従来より使用されている1T (transist

or) 1MTJ (Magnetic Tunnel Junction) タイプのメモリセル80の構造を図4(a)に示す。また図4

(b)にはメモリセル80の上面図を示す。記憶素子としては、MTJ素子88が使用される。MTJ素子88は、少なくとも磁界によって磁化の方向が変化する強磁性体の層である自由強磁性層82、トンネル電流を流すトンネルバリアー84、磁化の方向が固定された強磁性体の層である固定磁性層86を含む。MTJ素子88は、金属層M2と金属層M3との間に配置される。

【0003】メモリセル80にデータを書き込むための書き込みの電流は、金属層M2(書き込みワード・ライン92)と金属層M3(ビット・ライン90)をそれぞれ通って流れ、これらの書き込み電流によって発生する2つの磁界のベクトル和が、MTJ素子88の自由強磁性層82の磁化の方向を切替えるのに適用される。

【0004】書き込み電流はMTJ素子88とは平行に流れており、MTJ素子88から離されているので、発生した磁界の一部分が自由強磁性層82の磁化の方向の切替えに利用される。しかし、全ての磁界が自由強磁性層82の磁化の方向の切替えに使用できないため、従来のメモリセル88では大きな書き込み電流が必要になる。

【0005】更に、メモリセル88は、スイッチング磁界の変動が大きいという問題がある。スイッチング磁界は、普通は長方形または長方形に近いパターンであるMTJ素子88の形状によって主に定められる。長方形の磁気パターンは、本質的にパターン内の反磁界(demagnetizing field)を生成し、スイッチング磁界の強度はパターンのコーナーの形によって変わる。1ミクロン以下の範囲でコーナーの形を含む長方形のパターンを描くことは、非常に難しい。その結果、パターンのスイッチング磁界が大きく変動し、メモリセル88のデータの書き込みの失敗が発生する。

【0006】また、スイッチング磁界の変動によって、信頼性の問題が生じる。即ち、あるメモリセル88のスイッチング磁界が外部じょう乱磁界(disturbing field)より小さい場合、この外部じょう乱磁界によりメモリセル88のデータの書き込みが発生する。このような外部じょう乱磁界として、隣のメモリセル88への書き込み磁界の漏れ部分がある。意図的なメモリセル88のデータの書き込みではないので、スイッチング磁界の変動によって信頼性の問題が起きる。

【0007】

【発明が解決しようとする課題】本発明の目的は、書き込み用の電流が小さく、メモリセルのスイッチング磁界の変動が小さい記憶素子、メモリセル及び記憶回路ブロックを提供することである。

【0008】

【課題を解決するための手段】本発明の記憶素子の要旨は、複数の層が重ね合わさり、該複数の層の中に磁界の

方向によって磁化の方向が変化する強磁性体の層と、前記複数の層の中心部分に、該複数の層を貫通するように形成された中空部と、を含む。

【0009】他の記憶素子の要旨は、複数の層が重ね合わさり、該複数の層の中に磁界の方向によって磁化の方向が変化する強磁性体の層を含んだ記憶素子であって、前記磁化の方向が変化する強磁性体が、第1の層と、第2の層と、該第1の層と該第2の層の一辺同士を接続する第1の柱状体と、該第1の層と第2の層の他辺同士を接続する第2の柱状体と、を含むことである。

【0010】本発明のメモリセルの要旨は、磁界の方向によって磁化の方向が変化する強磁性体の層と、トンネル電流を流す絶縁体の層と、磁化の方向が固定された強磁性体の層と、強磁性体の層の磁化の方向を固定するための反強磁性体の層と、を含む記憶素子を含んだメモリセルであって、前記記憶素子に含まれる複数の層の中心部分が中空部になっていることである。また、中空部の中を通過する1本の書き込み電流を流す導体を含む。

【0011】他のメモリセルの要旨は、上記の他の記憶素子と、磁化の方向が変化する強磁性体の層を構成する第1の層、第2の層、第1の柱状体、及び第2の柱状体によって構成される中空部を通過する2本の書き込み電流を流す導体と、を含むことである。また、このメモリセルは、第1の層と第2の層の反強磁性体の強磁性体と接する磁化の方向が同じ方向を向いていることである。

【0012】本発明の記憶回路ブロックの要旨は、書き込み電流を流す導体と読み出し電流を流す導体がマトリックス状に配置され、その交差部に上記のメモリセルを配置したことである。

【0013】他の記憶回路ブロックの要旨は、上記の他の記憶素子と、前記磁化の方向が変化する強磁性体の層を構成する前記第1の層、第2の層、第1の柱状体、及び第2の柱状体によって構成される中空部内を非接触で通過する2本の書き込み電流を流す導体と、第1の反強磁性体の層と第2の反強磁性体の層とに接続された読み出し電流を流す導体と、を含むメモリセルを有する記憶回路ブロックであって、前記2本の書き込み電流を流す導体がマトリックス状に配置し、その交差部に前記メモリセルを配置したことにある。

【0014】

【発明の実施の形態】本発明の記憶素子、メモリセル及び記憶回路ブロックの実施の形態について図面を用いて説明する。

【0015】図1及び図2に示すように、記憶素子10は複数の層が重ね合わさっており、その中心部分に、その複数の層を貫通して中空部19が設けられ、フレーム状(環状)になっている。複数の層は、磁界の方向によって磁化の方向が変化する強磁性体の層である自由強磁性層12、トンネル電流を流す絶縁体の層であるトンネルバリアー14、磁化の方向が固定されている強磁性体

の層である固定磁性層16、及び固定磁性層の磁化の方向を固定する反強磁性体の層である反強磁性層18を含む。図中の矢印の方向は磁化の方向である。磁化の方向は中空部19を中心として環状になっており、閉じている。従って、記憶素子10に反磁界が発生することはない。なお、反強磁性層18の磁化の方向は、隣接する強磁性体の層（固定磁性層16）との界面における磁化の方向を表している。また、記憶素子10は、ロジックチップなどの中に使用されるため、中空部19の中は空気と同等の物質、例えば絶縁体が満たされてもよい。

【0016】固定磁性層16の磁化の方向に対する自由強磁性層12の磁化の方向によって書き込まれているデータの値が異なる。例えば、磁化の方向が同じであれば「0」のデータであり、磁化の方向が異なれば「1」のデータである。データの区別は記憶素子10の抵抗値によって区別する。「0」のデータと「1」のデータを比較した場合、「1」のデータの方が高抵抗になっている。

【0017】メモリセル20は、記憶素子10の中心部分に設けられた中空部19に書き込み電流 I_w を流す導体22が通っている。書き込み電流を流す導体22と記憶素子10は非接触になっている。

【0018】書き込み電流 I_w を流す導体22に書き込み電流を流すことによって、磁界が生じる。磁界の方向はアンペールの法則（右ねじの法則）にしたがう。従って、図1において、書き込み電流 I_w を流す導体22の上方から下方に書き込み電流 I_w が流れた場合、自由強磁性層12の磁化の方向は、図の矢印方向の向きとなる。また、書き込み電流を流す導体22の下方から上方に書き込み電流 I_w が流れた場合、自由強磁性層12の磁化の方向は、図の矢印方向とは反対方向になる。

【0019】図1において、メモリセル20に「0」のデータを書き込む場合、書き込み電流を流す導体22の下方から上方に書き込み電流 I_w を流す。反対に「1」のデータを書き込む場合、書き込み電流を流す導体22の上方から下方に書き込み電流 I_w を流す。

【0020】自由強磁性層12に読み出し電流を流す導体24が接続されている。また、固定磁性層16及び反強磁性層18にも読み出し電流を流す導体26が接続されている。この読み出し電流を流す導体24、26に読み出し電流 I_r を流すことによって、記憶素子10に記憶されたデータを読み出すことができる。

【0021】データの区別は記憶素子10の抵抗値によって記憶素子10間の電圧が異なることを利用している。上記のように「0」のデータの場合、低抵抗であり、電圧が低くなる。また、「1」のデータの場合、高抵抗であり、電圧が高くなる。

【0022】記憶素子10の各層の磁化は、各層がフレーム状の形になっていることによって、閉じた磁気回路、即ち閉磁路を形成する。この閉磁路では、記憶素子

10に沿って磁界の強さが弱められる反磁界は発生せず、これによってメモリセル20の磁気ポテンシャルは非常に安定する。

【0023】書き込みの電流 I_w は中心の書き込み電流を流す導体22を通して流れ、小さい電流で自由強磁性層12の磁化の方向を切換えられる。このメモリセル20のスイッチング磁界は、主に閉回路の内部に流れる合計電流量によって決まり、フレームの形状によって決まるものではない。従って、メモリセル20の磁化の方向切替えを厳密に制御することができる。スイッチング磁界をよく制御すること、及びメモリセル20の磁気ポテンシャルが非常に安定していることによって、メモリセル20の信頼性が向上する。

【0024】図1のメモリセル20を用いた記憶回路ブロックについて説明する。書き込み電流が流れる導体22と読み出し電流が流れる導体24、26とをマトリクス状に構成し、その交差点部にメモリセル20を配置する。言い換えると、隣り合うメモリセル20の書き込み電流が流れる導体22同士と読み出し電流が流れる導体24、26同士を接続した形状である。この記憶回路ブロックは、MRAM（Magnetic Random Access Memory）やMRAMを含んだチップに適用することができる。また、記憶回路ブロックをマトリクス状に構成せずに、複数のメモリセル20を1次元に配列し、ロジックLSIの1次元配列の記憶回路ブロック、例えば8ビットのレジスタなどに使用することも可能である。

【0025】他の記憶素子30について説明する。図3(a)に示すように、磁界の方向によって磁化の方向が変化する強磁性体の層である自由強磁性層は、第1の層32と、第1の層32と平行で且つ非接触の第2の層34と、第1の層32と第2の層34の対向する一辺A1、A2同士を接続する第1の柱状体36と、一辺A1、A2と対向する他辺B1、B2同士を接続する第2柱状体38と、で構成される。第1の層32と第2の層34は一定の間隔を有している。以上より、自由強磁性層は、第1の層32、第2の層34、第1の柱状体36、及び第2の柱状体38によって環状体31を形成し、その中心部分に中空部39を形成している。また、この中空部39の周りには自由強磁性層によって閉じた磁気回路、即ち閉磁路が形成される。なお、記憶素子30は、ロジックチップなどの中に使用されるため、中空部39の中は空気と同等の物質、例えば絶縁体が満たされてもよい。

【0026】第1の層32上（第2の層34とは反対方向の面上）には、トンネル電流を流す絶縁層である第1のトンネルバリアー40、磁化の方向が固定された強磁性体の層である第1の固定磁性層42、及び第1の固定磁性層42の磁化の方向を決定し固定する反強磁性体の層である第1の反強磁性層44が、この順番で重ね合っている。

【0027】第2の層34上(第1の層32とは反対方向の面上)には、トンネル電流を流す絶縁層である第2のトンネルバリアー46、磁化の方向が固定された強磁性体の層である第2の固定磁性層54、及び第2の固定磁性層54の磁化の方向を決定し固定する反強磁性体の層である第2の反強磁性層56が、この順番で重ね合わさっている。

【0028】第2の固定磁性層54は、第2の反強磁性層56によって磁化の方向が決定され、固定されている層52と、磁化の方向を反転させる層50と、磁化の方向を反転させる層によって第2の反強磁性層56とは反対方向の磁化の方向を有する層48によって構成される。磁化の方向を反転させる層50は、例えばルテニウムで構成されるのが好ましい。

【0029】図3(a)の各層に示されている矢印は、磁化の方向を示している。自由強磁性層の磁化の方向は環状になっており、閉じている。第1の層32と、第1のトンネルバリアー40と、第1の固定磁性層42と、第1の反強磁性層44とでMTJ素子が形成されている。また、第2の層34と、第2のトンネルバリアー46と、第2の固定磁性層54と、第2の反強磁性層56とでもMTJ素子が形成されている。即ち、2個のMTJ素子が形成されている。

【0030】記憶されるデータは、第1の固定磁性層42の磁化の方向に対する第1の層32の磁化の方向、及び第2の固定磁性層54を構成する内の一層である層48の磁化の方向に対する第2の層34の磁化の方向によって決定する。例えば図のように磁化の方向が反対方向であれば「1」のデータであり、磁化の方向が同じ方向であれば「0」のデータである。

【0031】また、第2の固定磁性層54が第2の反強磁性層56とは反対方向の磁化の方向を有する層48を含む理由について説明する。第1の反強磁性層44と第2の反強磁性層56とは磁化の方向を同じにする必要がある。これは、反強磁性体の磁化の方向が膜形成後の磁界中熱処理(磁界を印可しながら行う熱処理)により決定され、第1の反強磁性層44と第2の反強磁性層56の反強磁性体の磁化が磁界中熱処理により同一方向を向いてしまうことによる。第1の反強磁性層44と第2の反強磁性層56の反強磁性体の磁化の方向を同一とし、且つ磁界の方向によって磁化の方向が変化される強磁性体の層32、34、36、38が閉磁路を形成し、更にトンネルバリアー40、46を挟んで相対する強磁性体の層の磁化の関係を第1の層32と第2の層34とで同じにするためには、第2の固定磁性層54の磁化を1回反転する必要がある。

【0032】記憶素子30を使用したメモリセル58について説明する。自由強磁性層の中心部分に形成された中空部39に2本の導体62、64が通過している。この2本の導体は書き込み電流 I_{wy} 、 I_{wx} を流すため

の導体62、64である。

【0033】図3(a)において、記憶素子30に「1」のデータを書き込む場合、2本の書き込み電流を流すための導体62、64を手前から奥方向に書き込み電流 I_{wy} 、 I_{wx} が流れる。また、「0」のデータを書き込む場合、2本の書き込み電流を流すための導体62、64を奥方向から手前に書き込み電流 I_{wy} 、 I_{wx} が流れる。

【0034】第1の反強磁性層44と第2の反強磁性層56には読み出し電流が流れる導体60が接続されている。読み出し電流 I_r を流すことによって、記憶素子30のデータを読み出すことができる。データの区別は記憶素子30の抵抗値によって区別される。「0」のデータの場合、低抵抗であり、電圧が低くなる。「1」のデータの場合、高抵抗であり、電圧が高くなる。

【0035】書き込み電流 I_{wy} 、 I_{wx} は閉磁路の内部を流れるので、電流は磁化を切替えるのに効果的に利用され、切替えに必要な電流は従来のメモリセル80と比較すると非常に低電流である。また、磁氣的に閉じた回路は、外部磁界に対して非常に安定していて、このため、一定で安定したメモリセル58の磁化の方向の切替えとメモリ操作の信頼性の向上が実現できる。

【0036】メモリセル58を用いた記憶回路ブロック70について説明する。図3(b)に示すように、2本の書き込み電流を流す導体62、64をマトリクス状に構成し、その交差部にメモリセル30を配置する。言い換えると、隣り合うメモリセル58の2本の書き込み電流を流す導体62、64同士を接続した形状になっている。2本の導体62、64の端部にはスイッチング素子66a、66bを設けて、書き込み電流のオン及びオフを行う。スイッチング素子66a、66bはMOSFETを使用する。

【0037】また、スイッチング素子66a、66bには書き込み電流を流すための書き込み電流駆動回路68a、68bが設けられている。

【0038】図3(b)のような記憶回路ブロック70は、MRAMやMRAMを含んだチップに使用することができる。

【0039】図3において、縦方向をカラム・アドレス方向、横方向をロウ・アドレス方向とする。例えば、図3において左上のメモリセル30にデータを書き込む場合、スイッチング素子66a、66bをオンにして左側の導体62と上側の導体64に書き込み電流を流す。

【0040】また、記憶回路ブロック70をマトリクス状に構成せずに、複数のメモリセル58を1次元に配列し、ロジックLSIの1次元配列の記憶回路ブロック、例えば8ビットのレジスタなどに使用することも可能である。

【0041】以上より、書き込み電流が流れる導体が自由強磁性層の中心部分を通っているため、書き込み電流

が流れる導体のまわりに生成される磁界の全てが、磁化の方向を切りかえることに使用できる。従って、書き込み電流を低減することができる。また、自由強磁性層で磁化の方向が環状になり、磁界が閉じているために反磁界が発生することがなく、書き込み電流が流れる導体のまわりに生成される磁界の強さを弱くすることが可能である。このことによっても書き込み電流を低減することができる。

【0042】以上、本発明の記憶素子、メモリセル及び記憶回路ブロックについて説明したが、本発明はこれらに限定されるものではない。本発明はその趣旨を逸脱しない範囲で当業者の知識に基づき種々なる改良、修正、変形を加えた態様で実施できるものである。

【0043】

【発明の効果】本発明によって、従来のメモリセルと比較して低電流でデータの書き込みが可能になった。また、書き込み電流が閉じた磁気回路の中を流れているため、書き込み電流による磁界が書き込まれるメモリセルに局在し、他のメモリセルに影響を及ぼすことはない。

【図面の簡単な説明】

【図1】本発明のメモリセルの構成を示す図である。

【図2】図1のメモリセルの断面図である。

【図3】本発明のメモリセル及び記憶回路ブロックを示す図であり、(a)はメモリセルの構成図であり、(b)は記憶回路ブロックの構成図である。

【図4】従来技術のメモリセルを示す図であり、(a)はメモリセルの断面図であり、(b)はメモリセルの上面図である。

【符号の説明】

10, 30, 88: 記憶素子

12, 82: 自由強磁性層 (Free FM layer)

14, 40, 46, 84: トンネルバリアー (Tunnel barrier)

16, 42, 54, 86: 固定磁性層 (Pinned FM layer)

18, 44, 56: 反強磁性層 (Pinning AFM layer)

19, 39: 中空部

20, 58, 80: メモリセル

22, 62, 64: 書き込み電流を流す導体

24, 26, 60: 読み出し電流を流す導体

31: 環状体

32: 第1の層 (Free FM layer)

34: 第2の層 (Free FM layer)

36: 第1の柱状体 (Free FM stud)

38: 第2の柱状体 (Free FM stud)

48: 磁化の方向が反転させられた層

50: 磁化の方向を反転させるための層

52: 磁化の方向が固定された層

66a, 66b: スイッチング素子 (MOSFET)

68a, 68b: 書き込み電流駆動回路

70: 記憶回路ブロック

88: MTJ (Magnetic Tunnel Junction) 素子

90: ビット・ライン

92: 書き込みワード・ライン

94: 第1の内部配線構造体

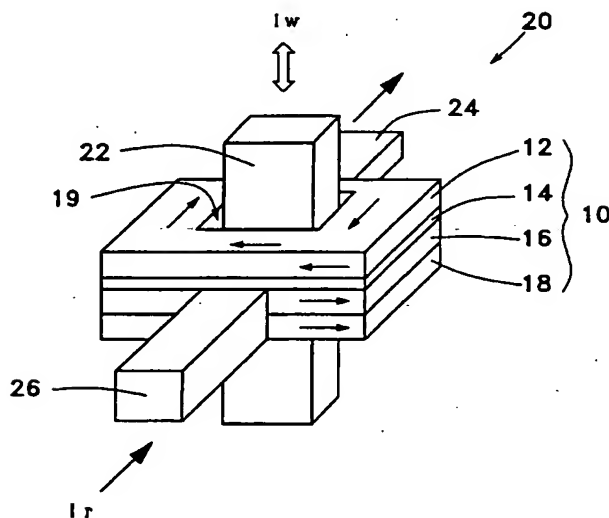
96: スイッチング素子 (MOSFET)

98: 読み出しワード・ライン (ゲート)

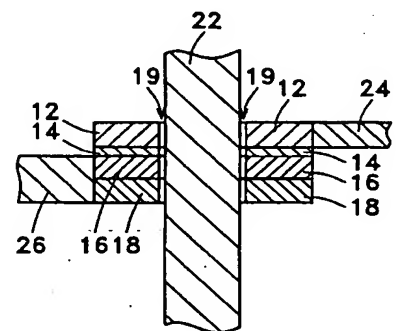
100: 第2の内部配線構造体

102: アース

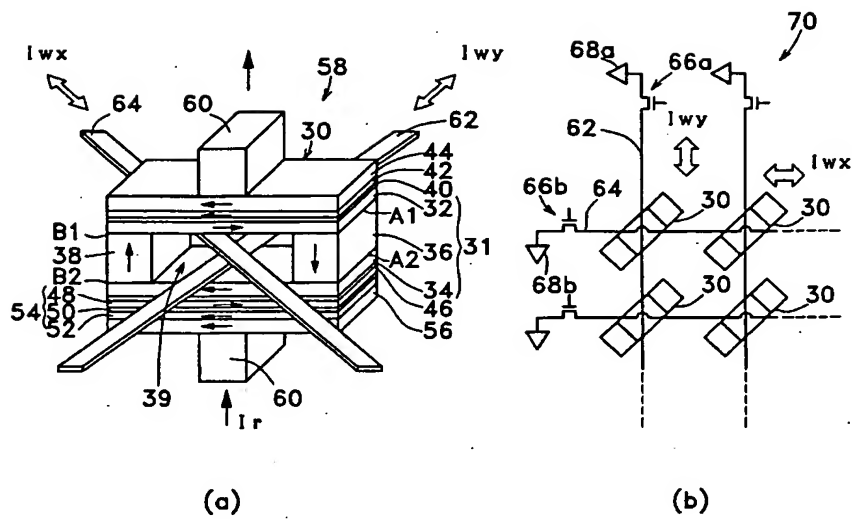
【図1】



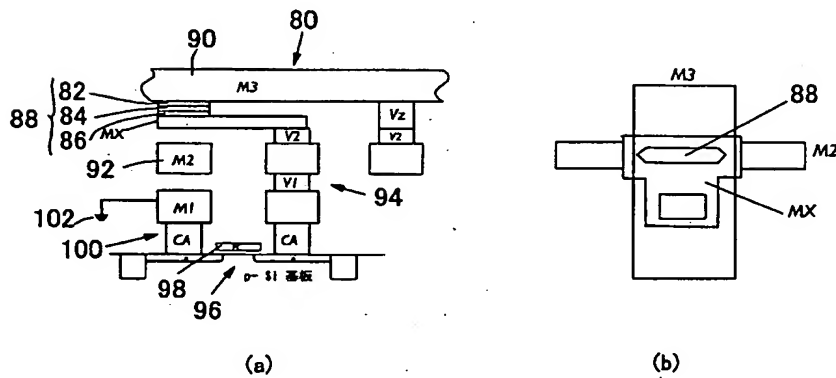
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 梅崎 宏
神奈川県藤沢市桐原町1番地 日本アイ・ビー・エム株式会社 藤沢事業所内

(72)発明者 宮武 久忠
滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業所内

(72)発明者 野田 紘憲
神奈川県藤沢市桐原町1番地 日本アイ・ビー・エム株式会社 藤沢事業所内

(72)発明者 浅野 秀夫
神奈川県藤沢市桐原町1番地 日本アイ・ビー・エム株式会社 藤沢事業所内

(72)発明者 砂永 登志男
滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業所内

(72)発明者 北村 恒二
滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業所内

Fターム(参考) 5F083 FZ10 GA05 GA11 LA12 ZA12